

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-271674  
(43)Date of publication of application : 28.09.1992

---

(51)Int. Cl. H04N 5/232

---

(21)Application number : 03-032902 (71)Applicant : CANON INC  
(22)Date of filing : 27.02.1991 (72)Inventor : HIEDA TERUO  
FUKATSU TSUTOMU  
SAKAI SHINJI  
SHIMOKOORIYAMA MAKOTO

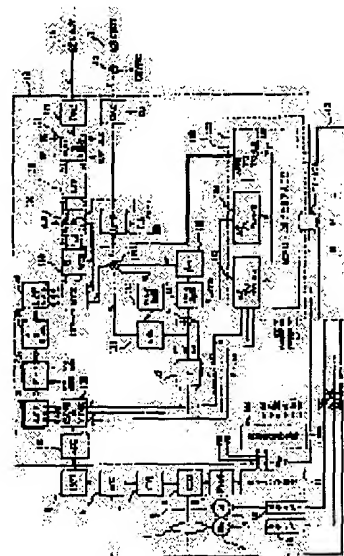
---

(54) IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To reduce the number of wirings and to facilitate integration by providing an interface for inputting the output of a control signal forming means, and guiding the result through a common signal line to a microprocessor.

CONSTITUTION: An integrated circuit 10 is provided to form a color video signal by executing a signal processing to an output signal from a two-dimensional color image pickup device (CCD) 5 to be inputted. Further, a preprocessing part 122 is provided to execute the exchange of signals for automatic focusing, automatic exposure control and automatic white balance or the like with an MPU 12 among output signals from the respective parts of this integrated circuit 10. The preprocessing part 122 is composed of preprocess circuits 1230125 for respective signals and an MPU interface circuit 126, processes the respective signals from to a form so as to be easily processed at the MPU 12 and dispatch the signals through a common parallel bus to the MPU 12. Thus, it is enough for the MPU 12 only to receive a worked data, control speed can be improved, and a packaging area can be reduced.



---

LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-271674

(43) 公開日 平成4年(1992)9月28日

(51) Int.Cl.<sup>5</sup>

H 0 4 N 5/232

識別記号

庁内整理番号

Z 9187-5C

F I

技術表示箇所

審査請求 未請求 請求項の数6(全11頁)

(21) 出願番号 特願平3-32902

(22) 出願日 平成3年(1991)2月27日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 袴田 禪夫

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 荻野 勉

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 堀 信二

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 井理士 丸島 備一

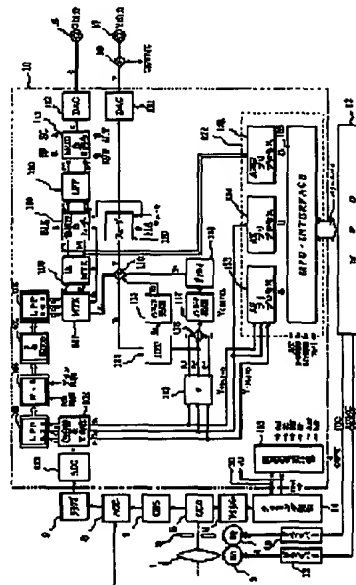
最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【要約】

【目的】 複数の調整信号形成回路の出力を用いて撮像装置の複数の調整部の調整を行う場合に、これらの複数の調整信号形成回路と制御用のマイクロプロセッサ間の信号路を大幅に減らすことにより、撮像装置全体の回路構成を簡略化を図ると共に撮像装置の信頼性を向上する。

【構成】 本発明の撮像装置においては、撮像信号を処理する信号処理回路を有し、この信号処理回路の信号の一部を用いてそれぞれ互いに異なる自動調整用の信号を形成する複数の調整信号形成回路を有するものにおいて、前記複数の調整信号形成回路の出力を入力し共通の信号路を介して出力する為のインターフェースと、前記共通の信号路を介して出力された前記複数の調整信号形成回路の出力を用いて撮像装置の複数の調整部の調整を行う制御用のマイクロプロセッサを有することを特徴とする。



(2)

特開平4-271674

1

## 【特許請求の範囲】

【請求項1】 撮像信号を処理する信号処理手段、該信号処理手段の信号の一部を用いてそれぞれ互いに異なる自動調整用の信号を形成する複数の調整信号形成手段、該複数の調整信号形成手段の出力を入力し共通の信号路を介して出力する為のインターフェース手段、前記共通の信号路を介して出力された前記複数の調整信号形成手段の出力を用いて撮像装置の複数の調整部の調整を行う制御手段、を有する撮像装置。

【請求項2】 前記信号処理手段、調整信号形成手段、インターフェース手段、を共通の半導体上に集積化した事を特徴とする請求項1の撮像装置。

【請求項3】 前記調整信号形成手段は自動露点調整用の信号を形成する事を特徴とする請求項1の撮像装置。

【請求項4】 前記調整信号形成手段は自動露出調整用の信号を形成する事を特徴とする請求項1の撮像装置。

【請求項5】 前記調整信号形成手段は自動ホワイトバランス調整用の信号を形成する事を特徴とする請求項1の撮像装置。

【請求項6】 撮像信号を処理する信号処理手段、該信号処理手段の信号の一部を用いてそれぞれ互いに異なる自動調整用の信号を形成する複数の調整信号形成手段、該複数の調整信号形成手段の出力を入力し共通の信号路を介して出力する為のインターフェース手段、を共通の半導体上に集積化した事を特徴とする撮像装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は集積化に適した撮像装置に関する。特に、撮像信号をデジタル化してデジタル信号処理する撮像装置に関する。

【0002】

【従来の技術】 微小色分解フィルタを全面に配した2次元CCD等の撮像装置の出力をADコンバータを用いてデジタル化し、これをデジタル技術を用いた信号処理回路を用いて信号処理し、テレビジョン信号を得る方式の撮像装置は従来より提案されている。

【0003】 また、このような撮像装置を集積化する事も従来考えられていた。

【0004】

【発明が解決しようとする課題】 しかしながら上述の様な従来例においては、撮像装置の露点調節、露出調節、ホワイトバランス調節等を自動調節するための回路をそれぞれ異なる信号路を介してマイクロコンピュータで制御していたために撮像装置全体の構成が複雑になり、また、使用する集積回路チップの数も多くなり、しかも集積化しにくいという欠点があった。従って撮像装置全体の小型化の障害になっていた。

【0005】

【課題を解決するための手段】 本願の第1の発明の撮像装置においては、撮像信号を処理する信号処理手段、該

2

信号処理手段の信号の一部を用いてそれぞれ互いに異なる自動調整用の信号を形成する複数の調整信号形成手段、該複数の調整信号形成手段の出力を入力し共通の信号路を介して出力する為のインターフェース手段、前記共通の信号路を介して出力された前記複数の調整信号形成手段の出力を用いて撮像装置の複数の調整部の調整を行う制御手段、を有する。

【0006】 また、本願の第2の発明の撮像装置においては、撮像信号を処理する信号処理手段、該信号処理手段の信号の一部を用いてそれぞれ互いに異なる自動調整用の信号を形成する複数の調整信号形成手段、該複数の調整信号形成手段の出力を入力し共通の信号路を介して出力する為のインターフェース手段、を共通の半導体上に集積化した事を特徴とする。

【0007】

【作用】 本願の第1の発明の撮像装置によれば、複数の調整信号形成手段の出力を用いて撮像装置の複数の調整部の調整を行う場合に、これらの複数の調整信号形成手段と制御手段間の信号路を大幅に減らす事が出来るので撮像装置全体の回路構成を簡略化出来ると共に撮像装置の信頼性を向上することが出来る。また、本願の第2の発明の撮像装置によれば、実装面積の小さな半導体素子を得ることが出来る。また、半導体素子からの出力端子数を大幅に減らす事が出来るので撮像装置の信頼性を向上することが出来る。

【0008】

【実施例】 (第1の実施例) 図1は本発明の実施例を表すブロックダイアグラムである。1は撮像レンズ、2は撮像レンズ1の焦点リングを回転する自動露点(AF)モーター、3は絞り、4は絞り3の開口を制御するIGメータ、5は微小色分解フィルタを含む2次元カラー撮像素子であり、以下CCDと略す。しかし本発明の撮像素子はCCDに限らず、撮像管やX-Yアドレスセンサであっても良い。6はCCD5を駆動するCCDドライバ、7はCCD5の光電変換出力よりクロックおよびリセットノイズを取り除く相關2重サンプリング回路(CDS)、8はCDS7の出力をコントロール信号AGCCに応じて増幅する自動ゲイン制御用アンプ(AGC)、9は入力電圧の基準レベルを所定の電圧に固定するクランプ回路、10は入力されるCCDの出力信号を信号処理して、所定のカラービデオ信号を形成する集積回路、12は、集積回路10よりの信号に関するデジタルデータを受け、また、集積回路10を制御し、更に、AFモーター2およびIGメータ4、AGC8を制御する信号を形成するマイクロプロセッサユニット(MPU)、13はAFモーター2を駆動するAFドライバ回路、14はIGメータ4を駆動するIGドライバ回路、15はクロミナンス信号(C)出力端子、16は輝度信号(Y)出力端子である。

【0009】 100~126は集積回路10の内部回路

(3)

特開平4-271674

3

要部であって、100はタイミング発生回路11より入力されるクロックパルス、水平同期パルスHD、垂直同期パルスVD及び、MPU12より入力されるNTSC、PAL切り換え信号N/P、集積回路10の内部に必要な各周波数のクロックパルスに応じて標準テレビ信号の形成のためのブランキングパルスBLK、バーストフラグパルスBF、色副搬送波SC、線順次信号ALT及び、複合同期信号CSYNC等を形成する同期信号発生器である。

【0010】101は入力信号に応じたデジタル信号を発生するAD変換器で、AD変換器以降の回路はデジタル信号を扱う。102は色分離及び輝度信号合成回路であって、1水平ラインの遅延線を2つ、マトリクス回路、切り換え回路を含み、入力信号より色信号成分R、G、Bを分離すると共に、輝度信号Ycを合成し、更に、垂直方向にYcとは1ライン分上及び下にずれた輝度信号Y-、Y+を合成する。103は帯域制限及び時分割サンプリングを行うローパスフィルタ、104は時分割された各色チャンネルのゲインを可変するホワイトバランス(WB)回路である。

【0011】105はガンマ補正及び、高輝度部分のレベル圧縮を行うガンマ・ニー回路、106は時分割信号を入力し、これを3チャンネル(R、G、B)の連続的並列信号に変換し、更に帯域制限を行うローパスフィルタ、107は赤R、緑G、青Bより、低帯域輝度信号YL1、YL2を合成するマトリクス回路、108はR、B及びYL2より色差信号R-Y、B-Yを形成する色差マトリクス回路、109は色差信号の利得制御及び色補正マトリクスを含む色補正回路、110はローパスフィルタ、111はそれぞれの色差信号を色副搬送波(SC)により変調した後加算し、更に、カラーバーストを付加する変調回路である。

【0012】112、121はデジタル信号をアナログ信号に変換するDA変換器、113は入力される3つの輝度信号に各々ガンマ補正を行うガンマ補正回路、114は輝度信号のうち、所定の高輝度成分のみを透過するハイパスフィルタ、115、117は入力信号のうち、ゼロレベル付近の信号を圧縮するノンリニア処理10、118は入力信号をハイパスフィルタ114の遅延時間分遅延させるディレイライン、119は加算器、120は輝度信号の利得を変えたブランキング処理を行うフェーダーである。

【0013】122は集積回路10の各部の信号のうち、自動焦点調整(AF)、自動露出制御(AE)、自動ホワイトバランス(AWB)等の制御に必要な信号を、MPUが読み取る際、MPUとのデータの受け渡しが容易でかつ、MPUが処理しやすい形に処理を行う前処理部である。123~126は前処理部122の中に設けられ、123はAFの前処理を行うAFプリプロセス回路、124はAEの前処理を行うAEプリプロセス

回路、125はAWBの前処理を行うAWBプリプロセス回路、126は各プリプロセス回路の出力をMPU12に受け渡したり、あるいはMPU12からの集積回路10の各部の制御データ等を受け取るMPUインターフェース回路である。

【0014】次に動作につき説明する。不図示の被写体像は、撮像レンズ1、絞り3により光量を調節され、CCD5の前述微小色分解フィルタを通り色分解され、CCD5の光電変換面に結像され、各画素ごとに光電変換され、ドライバ回路6の駆動パルスに応じて順次、撮像信号として出力される。この撮像信号は、まず、CDS回路7によりクロック成分とリセットノイズが取り除かれ、AGC回路8によりAGCC信号に応じた利得で増幅され、クランプ回路9で黒レベルをADC回路101の入力レンジの概略下限の基準電圧に固定され、集積回路10内のAD変換器101でデジタル信号に変換される。

【0015】このデジタル信号は、まず、色分離・Y合成回路102で、R、G、Bの各色成分に分解されると同時に、輝度信号Yc及びこの輝度信号と1水平ライン分上(前)の輝度信号Y-、1水平ライン分下(後)の輝度信号Y+が合成される。このR、G、B信号は、ローパスフィルタ103によって、所定の帯域に制限された後、更に3相で時分割信号に変換され、1チャンネルの信号となり、WB回路104においてMPU12によって設定された所定の利得で増幅される。このとき、R信号、B信号の利得のみを変えるとホワイトバランス調整が行われ、R信号、G信号、B信号の利得を同時に可変する率により、全体の利得を制御する事ができる。

【0016】この出力は、ガンマ・ニー回路105でガンマ補正及び高輝度部分の圧縮が行われ、ローパスフィルタ105で再びR、G、Bの各信号に戻され、所定の帯域制限を受けた後、マトリクス回路107で所定の比率によりR、G、B各色信号が加算されて低帯域輝度信号YL1、YL2が形成される。このうち、YL1は後述する様に高帯域輝度信号を形成するために、高帯域輝度信号と同じサンプリングレートで再サンプルされ、また、YL2は色差信号を形成するためのみに使用されるため、再サンプルされない。

【0017】このYL2及びR、Bは色差マトリクス回路108により所定の比率で減算され、色差信号R-Y、B-Yが形成される。この色差信号は色補正・フェーダー回路109により、利得の調整及び所定のマトリクス演算を受けると共に色補正され、また、MPU12がフェード動作を指示している際は、徐々に利得を可変される。この出力が、ローパスフィルタ110で色変調に必要なサンプルレートたとえば色副搬送波SCの周波数の4倍で再サンプルされ、所定の帯域制限を受け、変調回路111で色副搬送波SCにより変調されバーストフラグ信号BFに応じてバースト信号が重畳される。こ

(4)

特開平4-271674

5

の時、N/P信号がPALを指定している場合は、PAL規格に合う様に、ALT信号に応じてバースト信号及びクロミナンス信号を所定の位相で反転する。

【0018】この出力はDA変換器112でデジタル・アナログ変換され、クロミナンス信号CとしてC出力端子15より出力され、不図示のVTRや、テレビモニタ等に供給される。また、色分離・Y合成回路102から出力された輝度信号Yc、Y-、Y+は、ガンマ補正回路113により、それぞれガンマ補正を受けた後まずハイパスフィルタ114により、高域輝度信号であるYH1及び輪郭強調信号であるYH2を形成する。ここでは、YH1を例えば前述の輝度信号を形成するための低域輝度信号YL1の帯域以上とし、YH2を3〜4MHz以上等とする。

【0019】YH2はノンリニア処理回路115により、ゼロレベル付近の圧縮を受けた水平輪郭強調信号EHになる。また、ガンマ補正回路113の出力は、加算器116で加減算され、ノンリニア処理回路117でやはりゼロレベル付近の圧縮を受け、ディレイ回路118で遅延され垂直輪郭強調信号EVになる。加算器119では上述のYL1、YH1、EH、EVが加算されて、輝度信号Yが形成され、フェーダー120でブランキング処理され、また、前述の様にフェード動作時にはゲインが徐々に可変される。

【0020】その出力信号は、DA変換器121でデジタル・アナログ変換され、加算器16で複合同期信号CSYNCと加算され、Y出力端子17より出力され、前述のCと同様に不図示のVTR、テレビモニタ等に供給される。また、Yc、Y-、Y+はAFプリプロセス回路123により処理され、AFに必要なデータが形成され、また、Ycは、AEプリプロセス124で処理され、AEに必要なデータが形成される。更に、前述の色差マトリクス回路108の出力R-Y、B-Yは、AWBプリプロセス回路125で処理され、AWBに必要なデータが形成され、これらのデータは、MPUインターフェース回路126を通してMPU回路12に読み出される。

【0021】図2は図1中のAFプリプロセス回路123の詳細図であり、201は加算器、202、206は入力信号の絶対値を得る絶対値回路、203、207はゲート信号SG1に応じて入力信号をゲートするゲート回路、204、208は入力信号の最大値を保持する最大値ホールド回路、205はバンドパスフィルタ、209はAF枠の位置、大きさを保持するAF枠レジスタ、210は比較器、211は水平同期信号HDによりリセットされて、クロックをカウントするHカウンタ、212は垂直同期信号VDによりリセットされてHDをカウントするVカウンタ、213はAFプリプロセス回路123、AEプリプロセス回路124、AWBプリプロセス回路125と、MPUインターフェース回路126を

5

接続する内部バスである。

【0022】まず、Hカウンタ211、Vカウンタ212により撮像信号の画素の現在位置に対応する信号を発生し、それと、AF枠レジスタ209に予め書き込まれた枠データを比較器210で比較し、枠信号SG1が発生される。一方、入力された輝度信号Ycはバンドパスフィルタ205でAFに必要な帯域例えば1〜3MHzを取り出し、絶対値回路206で絶対値を得、上述のゲート信号SG1に応じてゲート回路207で前記AF枠に応じた範囲でゲートし、最大値ホールド回路208で上記AF枠内における水平方向の高周波成分の最大値EHが保持される。

【0023】この際、例えば垂直ブランキング期間において、MPUインターフェース回路126よりAFリセット信号Bが発生されることにより、最大値ホールド回路208がリセットされ、その後最大値ホールド回路208で保持された最大値EHは次の垂直ブランキング区間の初めにAF読み出し信号Bが発生されることにより内部バス213に出力される。また、輝度信号Yc、Y-、Y+は、加算器201において、Y-及びY+とYcが加減算され、垂直方向の高域成分が得られ、これを絶対値回路202で絶対値とし、ゲート回路203で上述のゲート信号SG1に応じてゲートされ、最大値ホールド回路204により、AF枠内における垂直方向の高周波成分の最大値EVが保持される。

【0024】この際、最大値ホールド回路208と同様に、AFリセット信号A、AF読み出し信号Aに応じてそれぞれリセット、保持データの内部バス213への読み出し動作が行われる。このように読み出された水平方向及び垂直方向の高周波成分の最大値は後述の図13に示すアルゴリズムに従ってAF制御に使われる。

【0025】図3及び図4は図2のAF枠の説明図である。各国の外枠は撮像画面を示しており、内側の枠はAF枠を示している。AF枠は、例えば図3の様にx1、y1、x2、y2の座標値がAF枠レジスタ209に書き込まれると、撮像画面に対して比較的大きなAF枠が得られ、図4の様に、x3、y3、x4、y4が書き込まれると撮像画面に対して比較的小きなAF枠が得られる。この切り換えは後述の図10のSW1により行われる。

【0026】図5は図1中AEプリプロセス回路124の詳細図であり、301はゲート回路、302、304、305は乗分器、303はスイッチ回路、306は枠Cレジスタ、307は比較器、308はHDによりリセットされクロックをカウントするHカウンタ、309はVDによりリセットされHDをカウントするVカウンタ、310は所定の枠信号を形成するデコーダである。

【0027】まず、Hカウンタ308、Vカウンタ309により撮像信号の画素の現在位置に対応する信号を発生し、この信号と、MPUインターフェース回路126よ

(5)

特開平4-271674

7

りA E枠Cレジスタ書き込みパルスによりあらかじめ枠Cレジスタに書き込まれた枠Cデータを比較器307で比較し、枠信号SG2が発生される。同時に、Hカウンタ308、Vカウンタ309の出力はデコーダ310に入力され、所定の枠信号SG3を形成する。

【0028】一方、入力された輝度信号Ycはまずゲート回路301により移動可能な枠のゲート信号SG2に応じてゲートされ、積分器302により積分される。この際、例えば垂直ブランキング期間において、MPUインターフェース回路126よりA Eリセット信号Cが発生され、積分器302はリセットされる。そして次の垂直ブランキング区間の初めにMPUインターフェース回路126よりA F読み出し信号Cが発生されると、内部バス213に対し、それまでに積分器302で積分されたデータが出力される。また、輝度信号Ycはスイッチ回路303により所定の枠のゲート信号SG3に応じて切り換えられ、積分器304または積分器305により各々積分される。

【0029】この際、上述と同様にA Eリセット信号A、B及びA E読み出し信号A、Bに応じて、積分器304及び305のリセット、データの出力が行われる。図6、図7は図5の動作説明図である。各図の外枠は撮像画面を示している。図6では、所定座標値(X1、Y1)、(X2、Y2)で表される枠の外側をA、内側をBとして、それぞれに於ける輝度信号が図5中積分器304、305に入力されている。図7では枠Cレジスタ306に、(x5、y5)、(x6、y7)が書き込まれると図示の様な枠Cが得られ、この内側の輝度信号が図5中積分器302に入力される。このようにして読み出された積分器302、304、305の出力は後述の図14～図17に示すアルゴリズムに従ってA E制御に使われる。

【0030】図8は図1中のAWBプリプロセス回路125の詳細図であり、401、403はゲート回路、402、404は積分器、405はAWB枠レジスタ、406は比較器、407はHDによりリセットされクロックをカウントするHカウンタ、408はVDによりリセットされHDをカウントするVカウンタである。

【0031】まず、Hカウンタ407、Vカウンタ408により撮像信号の画面の走査位置に対応する信号を発生し、それと、MPUインターフェース回路126よりAWB枠レジスタ書き込みパルスにより予めAWB枠レジスタ405に書き込まれたAWB枠データを比較器406で比較し、ゲート信号SG4が発生される。一方、入力された色差信号R-Y、B-Yは各々まずゲート回路401、403によりAWB枠のゲート信号SG4に応じてゲートされ、積分器402、404により積分される。この際、例えば垂直ブランキング期間において、MPUインターフェース回路126よりR-Yリセット信号、B-Yリセット信号が発生され、積分器402、4

8

04がリセットされ、次の垂直ブランキング区間の初めにR-Y読み出し信号、B-Y読み出し信号が発生され、積分されたデータが内部バス213に出力される。

【0032】図9は図8の動作説明図である。図の外枠は撮像画面を示している。AWB枠レジスタ405に、(x7、y7)、(x8、y8)という座標が書き込まれると図示の様なAWB枠が得られ、この内側の各色差信号が図8中の積分器402、404に入力される。そしてこの積分器402、404の出力は後述の図18～図20に示すアルゴリズムに従ってAWB制御に使われる。

【0033】図10は図1中MPU回路12及びMPUインターフェース回路126の詳細図である。501から509はMPU回路12の内部にあって、501はCPU回路、502は所定のプログラムやデータを保持するメモリ、503はMPU回路の内部バス、504、505はDA変換器、506、507、508は入出力(I/O)ポート、509は割り込み発生部である。510、511はMPU回路12のI/Oポート506に接続されたスイッチ、512～514は集積回路10の内のMPUインターフェース回路126の内部にあって、512、513は制御信号に応じて動作を行うバスバッファ、514は入力されるコマンドを解釈して集積回路10内の各部を制御する信号を発生するコマンドデコーダである。

【0034】CPU501はメモリ502のプログラムにしたがって、I/Oポート506に接続されたSW1、SW2の状態を読み取ったり、I/Oポート507及び508を介してMPUインターフェース回路126にデータ、コマンドを入出力したり、DA変換器504及び505を通してA Fモーター制御電圧AFMC、I G制御電圧IGCを発生したりする。また、割り込み発生部509は垂直同期信号VDが入力されるとCPU501に割り込み信号を発生し、これによって、CPUは割り込み時の処理を行う。

【0035】SW1はA F枠の大きさを設定するためのスイッチで、操作者は、このスイッチを切り換える事により、前述した図3、図4の2つの大きさのA F枠のいずれかを選択することが出来る。SW2はフェード動作を行うためのスイッチで、操作者は、このスイッチを押す事により、画像をフェードアウトまたはフェードインすることが出来る。コマンドデコーダ514はI/Oポート508より発生されるチップセレクト信号CSによって、I/Oポート507からのコマンドを受け取り、これを解釈して、書き込み命令の時はバスバッファ512を作動させると同時に、対応する書き込みパルスを発生し、また、読み出し命令の時は、バスバッファ513を作動させると同時に、対応する読み出しパルスを発生する。

【0036】更に、リセット命令、各部の設定命令等に

(6)

特開平4-271674

9

応じて、リセットパルス、NTSC、PAL切り換えパルス、フェード信号等が発生する。

【0037】図11～図19は図10中MPU回路12の動作フローチャートである。図11は電源投入時の動作を示す。601でスタートし、602でNTSC、PALの切り換え、ゲインの初期設定等の集積回路10内の固定値をMPUインターフェース回路126を介してセットする。603でAF、AE、AWB各プリプロセス回路の最大値、または積分値をリセットし、604で、各枠レジスタの初期値をセットし、605で垂直同期信号VDによる割り込みを許可し、606でホールド状態に入る。以後は、VDによって生ずる割り込みに応じて動作を行う。

【0038】図12はVDによる割り込みが生じた際の動作を示し、607でVDによる割り込みが生ずると、608で各プリプロセス回路の最大値、積分値を読み取り、609で、AF、AE、AWBの各枠レジスタの値を更新し、610でR、Bのゲイン制御の値を更新し、611で各最大値、積分値をリセットする。608から611までの作業は垂直ブランキング期間内に完了する。612～614では後述するAF、AE、AWBの各制御を行い、615で再びホールド状態に入りVD割り込みを待機する。607から615までの作業は1垂直期間（16ms～20ms）のうちに完了する。

【0039】図13は図12のうちAF制御612の詳細である。まず、616でスタートし、617で、読み出した垂直方向の高周波成分の最大値EVと水平方向の高周波成分の最大値EHを比較する。EHが大きい時は、水平方向の高周波成分を用いてAF動作を行う。そのため618において、高周波成分の現在の値EnowにEHを代入する。また、617でEVのほうが大きい時は、垂直方向の高周波成分を用いるために、EnowにEVを代入する。

【0040】620では、高周波成分の変化量Edを現在の高周波成分Enowより前同の高周波成分Eoldを減算して求め、更に、EoldにEnowを代入する。621では、Edと所定の閾値Eth、-Ethを比較する。まずEdが-Ethより小さい場合は、AFモーターが回転した事により高周波成分が減少すなわちピントが反対方向に移動したか、あるいはモーターが停止しているのにピントが変化した場合であるから、622でAFモーター制御電圧が0かどうか判別し、0の場合は、AFモーターを回転させるために624でAFMCに所定値SAFを代入する。また、622でAFMCが0でない場合は、ピントを反対方向に移動させるためにAFMCの極性を反転する。

【0041】621でEdが-Ethより大きくかつEthより小さい場合には、合焦していると考えられるので626でAFMCを0にしてAFモーターを静止させる。また621でEdがEthより大きい場合にはピ

10

ント制御方向が合っているので、AFMCはそのままとする。626で、上述した様に設定されたAFMC電圧をMPU12内のDA変換器504より出力する。627では図10のSW1の状態を判別し、もし、オフならば628で枠サイズを図3のように大に設定し、また、オンならば629で枠サイズを図4のように小に設定し630でAF制御を終了し、次のAE制御へ移る。

【0042】図14は図12中AE制御ステップ613の詳細図である。631でスタートし、632で図6中のA領域及びB領域の重み付け平均値ABを求める。即ち図5の積分器304の出力として得られるA領域の積分値Aに重みK1を乗じ、図5の積分器305の出力として得られるB領域の積分値Bに重みK2を乗じ、それぞれを加算することにより重み付け平均値ABを得る。更に、ABの基準値ABrとの差を取りABeを得る。633でこのABeに所定係数K3を乗じたものを現在のIG駆動電圧IGCより減算して、次のIG駆動電圧IGCを求める。一方634では、図5の積分器302から読み込んだC枠内の積分信号Cを、現在のC枠の位置のデータCiに代入し、635でiを1増す。636でiを所定の水平方向の分割数nと比較し、もし小さいか等しければそのまま640に進み、もし大きければ637でiを1とし、iを1増す。

【0043】更に638でiを所定の垂直方向の分割数mと比較し、もし小さいか等しければそのまま、もし大きければ639でiを1とする。そのうえで640で図16中のDエリア内のCの最小値CDminを求め、641で図16中のEエリア内のCの平均値CEavgを求め、図15中の642で、CDminとCEavgの比を所定の閾値Cthと比較し、Cthと同じか大きければ644に進みもし小さければ被写体に対して背景の輝度が高い、いわゆる逆光状態であるので、643でIGCより所定の露出補正值VBCを減算する。なお、図11の604で枠は一旦C11にリセットされているので電源投入後1フィールド単位で枠Cが順次切り換えられ、そのつどCDminとCEavgが変化していくことになる。

【0044】644でIGCをDA変換器505より出力する。645でC枠の次の位置を求めるため、x5、y5、x6、y6を枠の水平サイズa、垂直サイズb、枠の水平位置j、垂直位置iより求め、646でAE制御を終了する。図17はAE制御の説明図で、外側の枠は映像画面であり、水平方向にn、垂直方向にmに分割されており、その中の現在のC枠の位置がi、jにより表される。646でAE制御を終了し、次のAWB制御に移る。

【0045】図18は図12中AWB制御ステップの詳細図であり、647でスタートし、648で現在のAWB枠の位置の各色差のデータ(R-Y)ij、(B-Y)ijに、読み出したデータR-Y、B-Yを代入



(7)

特開平4-271674

11

し、649でjを1増し、650でjとAWB枠の水平方向の画面分割数nを比較し、もし小さいか等しければそのまま、もし、大きければ651でjを1とし、jを1増す。652でjと垂直方向の画面分割数mを比較し、もし小さいか等しければそのまま、もし、大きければ653でiを1とする。AWB枠もAE枠と同様電源投入で画面の一番左上にリセットされ、その後フィールド単位でシフトしていく。

【0046】654で(R-Y) i jの重み付け合計値SR-Yを求め、655で(B-Y) i jの重み付け合計値SB-Yを求める。656でもしSR-Yが所定の閾値-(R-Y) thより小さければ657でRゲインの制御値RGAINより所定値RG0を減ずる。656でもし、SR-Yが-(R-Y) th以上かつ(R-Y) th以下の時はそのまま、(R-Y) thよりも大きい時は658でRGAINに所定値RG0を加算する。図19の659で同様にもしSB-Yが所定の閾値-(B-Y) thより小さければ660でBゲインの制御値BGAINより所定値BG0を減ずる。

【0047】659でもし、SB-Yが-(B-Y) th以上かつ(B-Y) th以下の時はそのまま、(B-Y) thよりも大きい時は661でBGAINに所定値BG0を加算する。662でAWB枠の次の位置を求めるため、x7, y7, x8, y8を枠の水平サイズa, 垂直サイズb, 枠の水平位置j, 垂直位置iより求め、646でAE制御を終了する。なお、図18中のn, m, a, bは、図14図中のものとそれぞれ同じでも良いし、また、異なっても良い。図20はAWB制御の説明図で、外側の枠は撮像画面であり、水平方向にn, 垂直方向にmに分割されており、その中の現在のAWB枠の位置がj, iにより表される。

【0048】

【発明の効果】以上の様に本発明は、撮像信号を処理する信号処理手段、該信号処理手段の信号の一部を用いてそれぞれ互いに異なる自動調整用の信号を形成する複数の調整信号形成手段、該複数の調整信号形成手段の出力を入力し共通の信号路を介して出力する為のインターフェース手段、前記共通の信号路を介して出力された前記複数の調整信号形成手段の出力を用いて撮像装置の複数の調整部の調整を行う制御手段、を有するので自動焦点調節、自動露出調節、自動ホワイトバランス調節等の調整を行う際、マイクロプロセッサは、加工されたデータ

12

を受け取るだけで良く、処理能力の比較的低い安価なものが使用出来、また、垂直期間において処理を完結することができるため、制御速度が高速に出来る。更に、集積回路化した場合、マイクロプロセッサとの接続回路数が少ないため、実装面積を非常に小さく出来、撮像装置が小型に出来る。また、高速なデータを集積回路の外に取り出さないで、放射ノイズや、容量負荷により発生する電源ノイズ等を最小限にすることが出来、感度向上に寄与する。

【図面の簡単な説明】

【図1】本発明の実施例図

【図2】図1の実施例中のAFプリプロセスの詳細図

【図3】図2のAF枠を大きくしたときの説明図

【図4】図2のAF枠を小さくしたときの説明図

【図5】図1の実施例中のAEプリプロセスの詳細図

【図6】図5の中央重点的AE測光分布について説明するための説明図

【図7】図5の逆光測定枠について説明するための説明図

【図8】図1の実施例中のAWBプリプロセスの詳細図

【図9】図8のAWB枠の説明図

【図10】図1の実施例中のMPUインターフェースの詳細図

【図11】図10の実施例中のMPUの電源投入時の動作フローチャート

【図12】図10の実施例中のMPUの動作フローチャートにおいてVDによる割り込みが生じたときの動作説明図

【図13】図12の動作フローチャートにおいてAF制御612の動作説明図

【図14】図12の動作フローチャートにおいてAE制御613の動作説明図

【図15】図14の動作フローチャートの続きの動作説明図

【図16】図14、図15の動作フローチャートにおける640~643の逆光検出動作説明図

【図17】図12のAE制御用の枠Cの説明図

【図18】図12の動作フローチャートにおいてAWB制御614の動作説明図

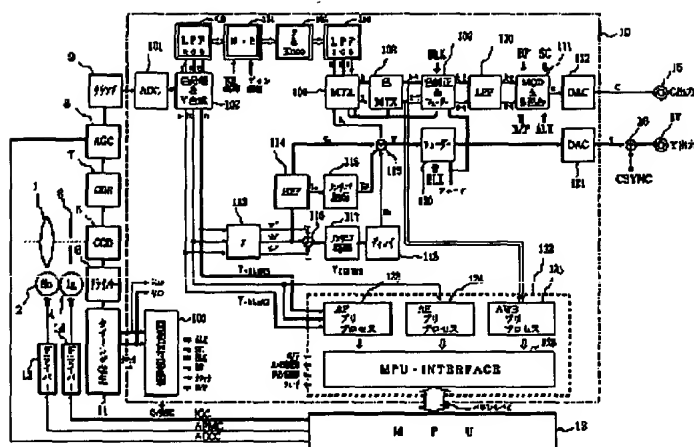
【図19】図18の動作フローチャートの続きの動作説明図

【図20】図19のAWB枠の説明図

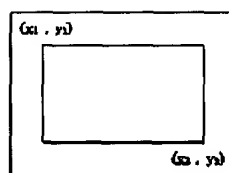
(8)

特開平4-271674

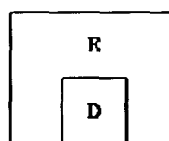
【図1】



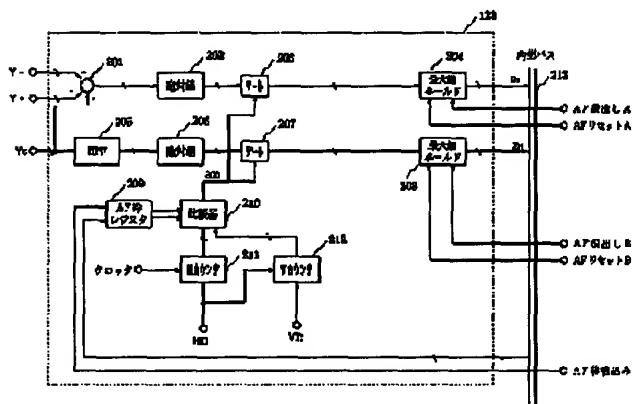
【図3】



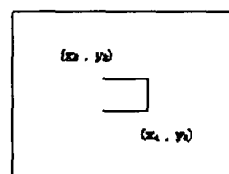
【図16】



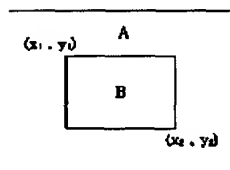
【図2】



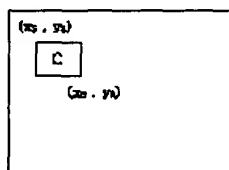
【図4】



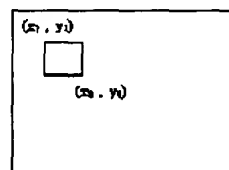
【図6】



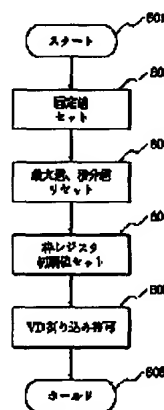
【図7】



【図9】



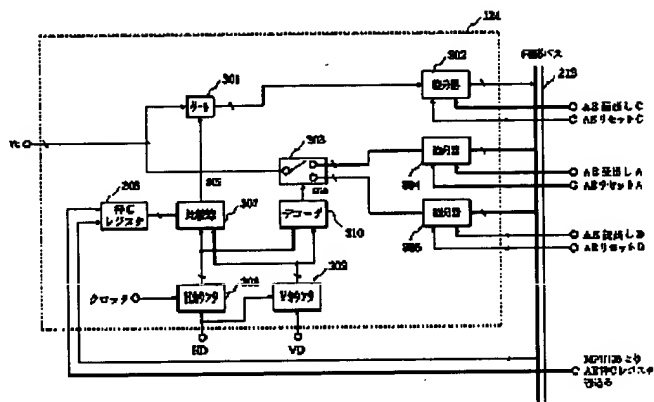
【図11】



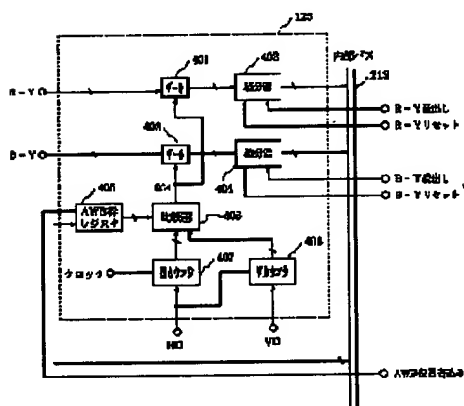
(9)

特開平4-271674

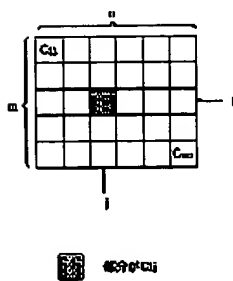
【图 5】



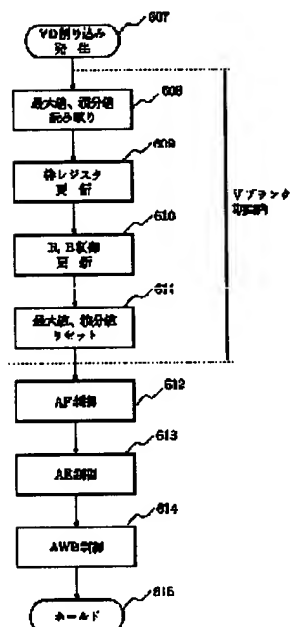
【圖8】



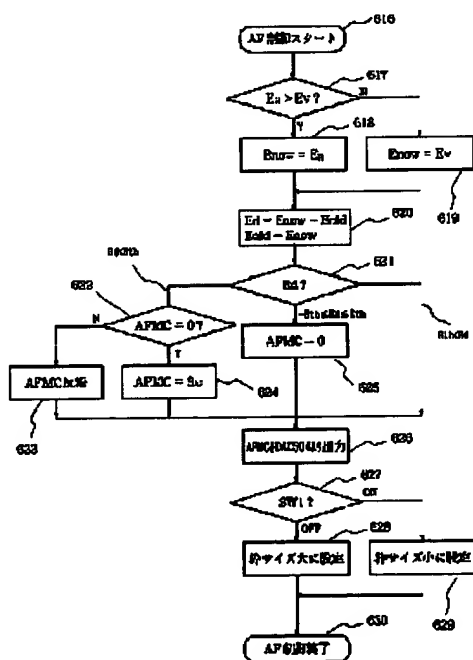
【圖 17】



【圖 12】



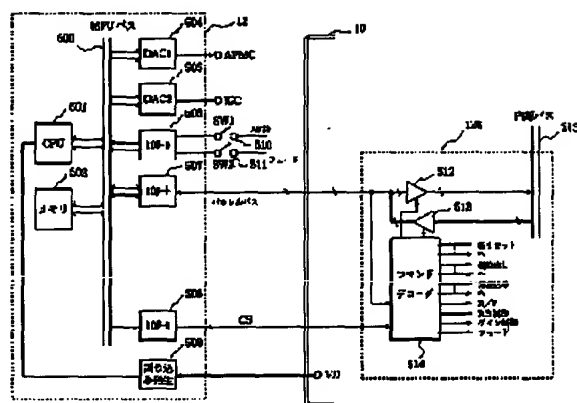
**【213】**



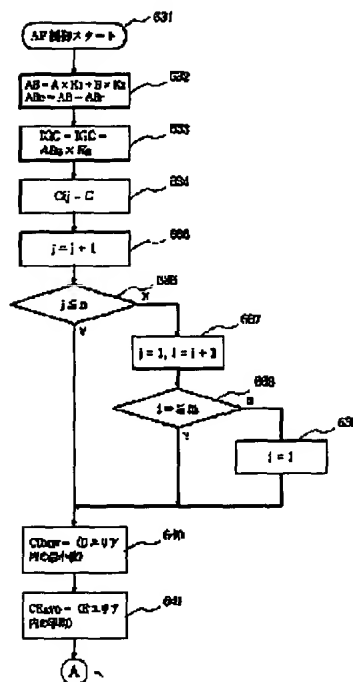
(10)

特開平4-271674

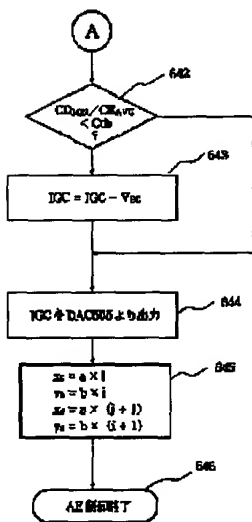
【図10】



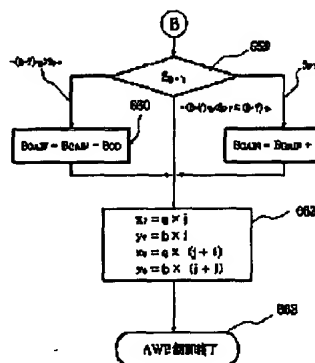
【図14】



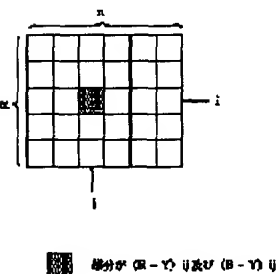
【図15】



【図19】



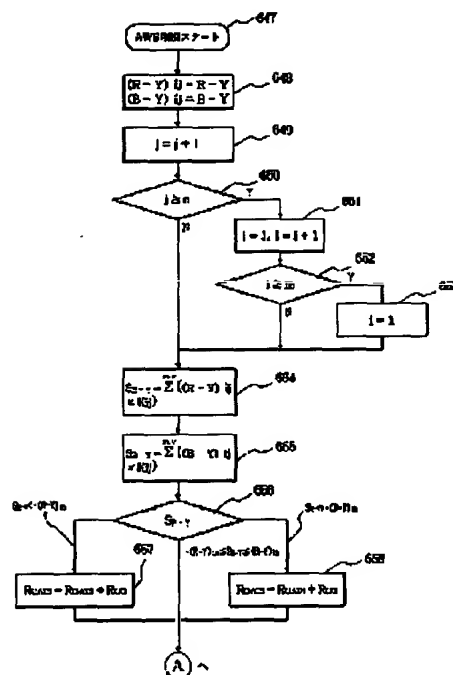
【図20】



(11)

特開平4-271674

【図18】



フロントページの続き

(72)発明者 下郡山 信  
 東京都大田区下丸子3丁目30番2号キヤノ  
 ン株式会社内